

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-274567

(43) 公開日 平成4年(1992)9月30日

(51) Int.Cl.⁶

識別記号

序内整理番号

F I

技術表示箇所

G 0 6 F 15/60

3 6 0 D 7922-5 L

H 0 3 K 19/00

D 8941-5 J

審査請求 未請求 請求項の数 2 (全 8 頁)

(21) 出願番号 特願平3-58167

(22) 出願日 平成3年(1991)2月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 一柳 洋

東京都港区芝五丁目7番1号 日本電気株式会社内

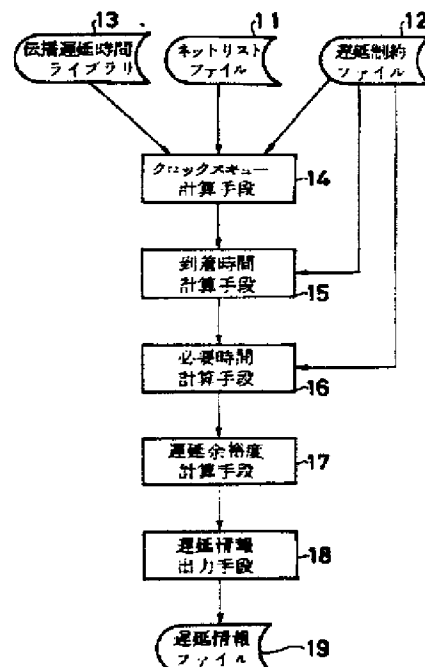
(74) 代理人 弁理士 河原 純一

(54) 【発明の名称】 論理回路の遅延計算方式

(57) 【要約】

【目的】 一相同期式論理回路において最大伝播遅延時間または最小伝播遅延時間に基づいてクロックスキューを考慮した正確な遅延余裕度を計算する。

【構成】 クロックスキュー計算手段14がフリップフロップグループ間のクロックスキューを求め、到着時間計算手段15が始点のフリップフロップグループについて伝播遅延時間が最長または最短のパスの最大伝播遅延時間または最小伝播遅延時間をブロックの到着時間群として求め、必要時間計算手段16が終点のフリップフロップグループについて伝播遅延時間が最長または最短のパスの最大伝播遅延時間または最小伝播遅延時間をブロックの必要時間群として求め、遅延余裕度計算手段17が到着時間と必要時間との差からクロックスキューを引いた値または加えた値の中で最小または最大の値をブロックの遅延余裕度として求め、遅延情報出力手段18が遅延情報を出力する。



1

【特許請求の範囲】

【請求項1】 一相同期式論理回路の最大伝播遅延時間に基づく遅延余裕度の計算方式において、回路のネットリストを格納するネットリストファイルと、回路中のフリップフロップ間のバスの伝播遅延時間の上限を示すクロックサイクル値、回路の入力端子における信号の到着時間および回路の出力端子において信号の値が確定していなければならない信号の必要時間を指定した遅延制約ファイルと、回路中の各ブロックの伝播遅延時間を格納した伝播遅延時間ライブラリとを入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとし各フリップフロップグループ間のクロックスキューを求めるクロックスキュー計算手段と、回路のクロック入力端子以外の入力端子について前記遅延制約ファイルに指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのバスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最大伝播遅延時間をそのブロックの到着時間群として求める到着時間計算手段と、回路の出力端子について前記遅延制約ファイルに指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてクロックサイクル値とそのフリップフロップのセットアップ時間との差を設定し、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのバスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最大伝播遅延時間をそのブロックの必要時間群として求める必要時間計算手段と、前記到着時間計算手段により求められた各ブロックの到着時間群と前記必要時間計算手段により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差から前記クロックスキュー計算手段により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを引いた値の中で最小の値をそのブロックの遅延余裕度として求める遅延余裕度計算手段とを有することを特徴とする同期式論理回路の遅延計算方式。

【請求項2】 一相同期式論理回路の最小伝播遅延時間に基づく遅延余裕度の計算方式において、回路のネット

2

リストを格納するネットリストファイルと、回路の入力端子における信号の到着時間および回路の出力端子において信号の値を保持しなければならない信号の必要時間を指定した遅延制約ファイルと、回路中の各ブロックの伝播遅延時間を格納した伝播遅延時間ライブラリとを入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとし各フリップフロップグループ間のクロックスキューを求めるクロックスキュー計算手段と、回路のクロック入力端子以外の入力端子について前記遅延制約ファイルに指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのバスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最短のバスの最小伝播遅延時間をそのブロックの到着時間群として求める到着時間計算手段と、回路の出力端子について前記遅延制約ファイルに指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてそのフリップフロップのホールド時間を設定し、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのバスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最短のバスの最小伝播遅延時間をそのブロックの必要時間群として求める必要時間計算手段と、前記到着時間計算手段により求められた各ブロックの到着時間群と前記必要時間計算手段により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差に前記クロックスキュー計算手段により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを加えた値の中で最大の値をそのブロックの遅延余裕度として求める遅延余裕度計算手段とを有することを特徴とする同期式論理回路の遅延計算方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は論理回路の遅延計算方式に関し、特に一相同期式論理回路（以下、誤解が生じない範囲で論理回路または回路と略称する）に対する入力パターンを必要としないスタティックな遅延計算方式に関する。

【0002】

【従来の技術】従来の技術としては、回路の各ブロックの到着時間（入力側から計算した伝播遅延時間）を計算するときに、その前段のブロックの到着時間にそのブロック内の伝播遅延時間を加算した値の中の最大の値（最大伝播遅延時間）をそのブロックの到着時間として求め、各ブロックの必要時間（出力側から計算した伝播遅延時間）を計算するときに、その後段のブロックの必要時間とそのブロック内の伝播遅延時間との差の中で最大の値（最大伝播遅延時間）をそのブロックの必要時間として求め、必要時間と到着時間との差をそのブロックの遅延余裕度として求める方式がある（例えば、R. B. Hitchcock, Sr. et al. "Timing Analysis of Computer Hardware", IBM Journal of Research and Development, p. 100-105, vol. 26, no. 1, Jan., 1982参照）。

【0003】

【発明が解決しようとする課題】上述した従来の論理回路の遅延計算方式は、フリップフロップ等のクロックに同期して動作する回路を含まない組合せ回路に対して適用する際には問題はないが、フリップフロップ等のクロックに同期して動作する回路を含む同期式順序回路に対して適用する際には、クロックスキュー（クロック間の遅延差）の扱いが粗くなるので、遅延余裕度の精度が落ちるという欠点がある。

【0004】例えば、図2に示す同期式順序回路を考える。ここで、A、BおよびCはフリップフロップ、Xは組合せ回路とし、フリップフロップA-組合せ回路X-フリップフロップCのパスの伝播遅延時間の最大値を8 nsec、フリップフロップB-組合せ回路X-フリップフロップCのパスの伝播遅延時間の最大値を9 nsecとする。クロックサイクル値を10 nsecとすると、組合せ回路Xの到着時間は9 nsec、組合せ回路Xの必要時間は10 nsecであり（簡単のため、フリップフロップCのセットアップ時間を省略して考えた）、クロックスキューを0 nsecとして考えると、組合せ回路Xの遅延余裕度は $10 - 9 = +1 \text{ nsec}$ となり、フリップフロップB-組合せ回路X-フリップフロップCがクリティカルパスとなる。

【0005】ところが、フリップフロップAとフリップフロップCとのクロックスキューを3 nsec、フリップフロップBとフリップフロップCとのクロックスキューを1 nsecとすると、フリップフロップA-組合せ回路X-フリップフロップCおよびフリップフロップB-組合せ回路X-フリップフロップCのパスの最大伝播遅延時間はそれぞれ $8 + 3 = 11 \text{ nsec}$ および $9 + 1 = 10 \text{ nsec}$ となり、組合せ回路Xの真の遅延余裕度は $10 - 11 = -1 \text{ nsec}$ 、クリティカルパスはフリ

ップフロップA-組合せ回路X-フリップフロップCとなる。

【0006】このように、従来の論理回路の遅延計算方式では、最悪値のみを伝播して到着時間および必要時間を求めており、個別のパスのクロックスキューを考慮できないため、上記のような真の遅延余裕度を求めることができない。

【0007】仮に、最大のクロックスキューを必要時間から引いて考えたとしても、上記の例の場合、組合せ回路Xの必要時間は $10 - 3 = 7 \text{ nsec}$ となり、遅延余裕度は $7 - 9 = -2 \text{ nsec}$ となって、真の値よりも悲観的な値となってしまふ。

【0008】以上、最大伝播遅延時間に基づいた遅延余裕度について考えたが、最小伝播遅延時間に基づいた遅延余裕度についても、従来の論理回路の遅延計算方式ではクロックスキューを考慮できない。

【0009】本発明の目的は、上述の点に鑑み、一相同期式論理回路において最大伝播遅延時間に基づいてクロックスキューを考慮した正確な遅延余裕度を計算できるようにした論理回路の遅延計算方式を提供することにある。

【0010】また、本発明の他の目的は、一相同期式論理回路において最小伝播遅延時間に基づいてクロックスキューを考慮した正確な遅延余裕度を計算できるようにした論理回路の遅延計算方式を提供することにある。

【0011】

【課題を解決するための手段】本発明の論理回路の遅延計算方式は、一相同期式論理回路の最大伝播遅延時間に基づく遅延余裕度の計算方式において、回路のネットリストを格納するネットリストファイルと、回路中のフリップフロップ間のパスの伝播遅延時間の上限を示すクロックサイクル値、回路の入力端子における信号の到着時間および回路の出力端子において信号の値が確定していなければならない信号の必要時間を指定した遅延制約ファイルと、回路中の各ブロックの伝播遅延時間を格納した伝播遅延時間ライブラリとを入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとし各フリップフロップグループ間のクロックスキューを求めるクロックスキュー計算手段と、回路のクロック入力端子以外の入力端子について前記遅延制約ファイルに指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのパスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）

個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最大伝播遅延時間をそのブロックの到着時間群として求める到着時間計算手段と、回路の出力端子について前記遅延制約ファイルに指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてクロックサイクル値とそのフリップフロップのセットアップ時間との差を設定し、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのバスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が出力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最大伝播遅延時間をそのブロックの必要時間群として求める必要時間計算手段と、前記到着時間計算手段により求められた各ブロックの到着時間群と前記必要時間計算手段により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差から前記クロックスキュー計算手段により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを引いた値の中で最小の値をそのブロックの遅延余裕度として求める遅延余裕度計算手段とを有する。

【0012】また、本発明の論理回路の遅延計算方式は、一相同期式論理回路の最小伝播遅延時間に基づく遅延余裕度の計算方式において、回路のネットリストを格納するネットリストファイルと、回路の入力端子における信号の到着時間および回路の出力端子において信号の値を保持しなければならない信号の必要時間を指定した遅延制約ファイルと、回路中の各ブロックの伝播遅延時間を格納した伝播遅延時間ライブラリとを入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとし各フリップフロップグループ間のクロックスキューを求めるクロックスキュー計算手段と、回路のクロック入力端子以外の入力端子について前記遅延制約ファイルに指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのバスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最大伝播遅延時間をそのブロックの到着時間群として求める到着時間計算手段と、回路の出力端子について前記遅延制約ファイルに指定された信

号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてそのフリップフロップのホールド時間を設定し、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのバスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が出力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最小伝播遅延時間をそのブロックの必要時間群として求める必要時間計算手段と、前記到着時間計算手段により求められた各ブロックの到着時間群と前記必要時間計算手段により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差に前記クロックスキュー計算手段により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを加えた値の中で最大の値をそのブロックの遅延余裕度として求める遅延余裕度計算手段とを有する。

【0013】

【作用】本発明の論理回路の遅延計算方式では、クロックスキュー計算手段が回路のネットリストを格納するネットリストファイルと、回路中のフリップフロップ間のバスの伝播遅延時間の上限を示すクロックサイクル値、回路の入力端子における信号の到着時間および回路の出力端子において信号の値が確定していなければならない信号の必要時間を指定した遅延制約ファイルと、回路中の各ブロックの伝播遅延時間を格納した伝播遅延時間ライブラリとを入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとし各フリップフロップグループ間のクロックスキューを求め、到着時間計算手段が回路のクロック入力端子以外の入力端子について遅延制約ファイルに指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのバスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のバスの最大伝播遅延時間をそのブロックの到着時間群として求め、必要時間計算手段が回路の出力端子について遅延制約ファイルに指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてクロックサイクル値とそのフリップフロップのセットアップ時間との差を設定し、出力端子、フリップフロップおよびクロック分配

7

系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのパスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が出力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のパスの最大伝播遅延時間をそのブロックの必要時間群として求め、遅延余裕度計算手段が到着時間計算手段により求められた各ブロックの到着時間群と必要時間計算手段により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差からクロックスキュー計算手段により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを引いた値の中で最小の値をそのブロックの遅延余裕度として求める。

【0014】また、本発明の論理回路の遅延計算方式では、クロックスキュー計算手段が回路のネットリストを格納するネットリストファイルと、回路の入力端子における信号の到着時間および回路の出力端子において信号の値を保持しなければならない信号の必要時間を指定した遅延制約ファイルと、回路中の各ブロックの伝播遅延時間を格納した伝播遅延時間ライブラリとを入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとし各フリップフロップグループ間のクロックスキューを求め、到着時間計算手段が回路のクロック入力端子以外の入力端子について遅延制約ファイルに指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのパスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最短のパスの最小伝播遅延時間をそのブロックの到着時間群として求め、必要時間計算手段が回路の出力端子について遅延制約ファイルに指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてそのフリップフロップのホールド時間を設定し、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのパスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が出力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最短のパスの最小伝播遅延時間をそのブロックの必要時間群

8

として求め、遅延余裕度計算手段が到着時間計算手段により求められた各ブロックの到着時間群と必要時間計算手段により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差にクロックスキュー計算手段により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを加えた値の中で最大の値をそのブロックの遅延余裕度として求める。

【0015】

10 【実施例】次に、本発明について図面を参照して詳細に説明する。

【0016】図1は、本発明の一実施例に係る論理回路の遅延計算方式の構成を示すブロック図である。本実施例の論理回路の遅延計算方式は、ネットリストファイル11と、遅延制約ファイル12と、伝播遅延時間ライブラリ13と、クロックスキュー計算手段14と、到着時間計算手段15と、必要時間計算手段16と、遅延余裕度計算手段17と、遅延情報出力手段18と、遅延情報ファイル19とから構成されている。

20 【0017】ネットリストファイル11には、回路のネットリストが格納されている。

【0018】遅延制約ファイル12には、回路中のフリップフロップ間のパスの遅延時間の上限を示すクロックサイクル値、回路の入力端子における信号の到着時間および回路の出力端子における信号の必要時間の最大値および最小値が格納されている。

【0019】伝播遅延時間ライブラリ13には、回路中の各ブロックの伝播遅延時間が格納されている。

30 【0020】クロックスキュー計算手段14は、ネットリストファイル11、遅延制約ファイル12および伝播遅延時間ライブラリ13を入力として、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでのクロック分配系の最終段の各ネットにつながるフリップフロップをグループとして各フリップフロップグループ間のクロックスキューを計算する。

40 【0021】到着時間計算手段15は、回路のクロック入力端子以外の入力端子について遅延制約ファイル12に指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定し、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはフリップフロップまたは入力端子からそのブロックに至るまでのパスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のパスの伝播遅延時間（最大伝播遅延時間）または最短のパスの伝播遅延時間（最小伝播遅延時間）をそのブロックの到着時間群として求める。

【0022】必要時間計算手段16は、回路の出力端子について遅延制約ファイル12に指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間としてクロックサイクル値とそのフリップフロップのセットアップ時間との差を設定し、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについてはそのブロックからフリップフロップまたは出力端子に至るまでのパスを終点のフリップフロップが同じフリップフロップグループに属するかどうかまたは終点が出力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し各同値類について伝播遅延時間が最長のパスの伝播遅延時間（最大伝播遅延時間）または伝播遅延時間が最短のパスの伝播遅延時間（最小伝播遅延時間）をそのブロックの必要時間群として求める。

【0023】遅延余裕度計算手段17は、到着時間計算手段15により求められた各ブロックの到着時間群と必要時間計算手段16により求められた各ブロックの必要時間群との組合せについて必要時間と到着時間との差からクロックスキュー計算手段14により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを引いた値または加えた値の中で最小の値または最大の値をそのブロックの遅延余裕度として求める。

【0024】遅延情報出力手段18は、クロックスキュー計算手段14ないし遅延余裕度計算手段17により求められたクロックスキュー、到達時間、必要時間、遅延余裕度等を遅延情報として遅延情報ファイル19に出力する。

【0025】図3は、クロック分配系の一例を示し、符号31はクロック入力端子を、32はクロック分配系中のブロックを、33はフリップフロップグループをそれぞれ示す。

【0026】次に、このように構成された本実施例の論理回路の遅延計算方式の動作について説明する。

【0027】まず、クロックスキュー計算手段14は、回路のクロック入力端子からフリップフロップのクロック入力ピンに至るまでの回路をクロック分配系とみなして、各パスの各ブロックについてクロック入力端子からそのブロックに至るまでの最大伝播遅延時間および最小伝播遅延時間を求める。

【0028】次に、クロックスキュー計算手段14は、クロック分配系の最終段の各ネットにつながるフリップフロップをグループとしてまとめる。

【0029】続いて、クロックスキュー計算手段14は、各フリップフロップグループ間のクロックスキューを求める。これは、2つのフリップフロップグループについて、それらのフリップフロップグループがクロック分配系上で分岐するブロックから一方のフリップフロップグループに至るまでの最大伝播遅延時間と他方のフリ

ップフロップグループに至るまでの最小伝播遅延時間との差として求める。

【0030】次に、到着時間計算手段15は、まず回路のクロック入力端子以外の入力端子について遅延制約ファイル12に指定された信号の到着時間を設定し、回路中のフリップフロップの出力ピンについて到着時間としてフリップフロップの出力遅延時間を設定する。

【0031】続いて、到着時間計算手段15は、入力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについて、フリップフロップまたは入力端子からそのブロックに至るまでのパスを始点のフリップフロップが同じフリップフロップグループに属するかどうかまたは始点が入力端子かどうかによって（フリップフロップグループの個数+1）個の同値類に分割し、各同値類について伝播遅延時間が最長のパスの伝播遅延時間（最大伝播遅延時間）および最短のパスの伝播遅延時間（最小伝播遅延時間）をそのブロックの到着時間群として求める。ここで、全パスを洗い出し同値類に分割してさらに各同値類中から最長および最短のパスを求める処理を単純に行うと、計算量が非常に多いため、最大伝播遅延時間を求める場合、次に述べる方法で求める。

【0032】（1） 回路中の各ブロックについて入力端子またはフリップフロップからの段数によってレベル付けをする。すなわち、入力端子およびフリップフロップのレベルを0とし、他のブロックについては、そのブロックの入力側のブロックのレベルがすべて（n-1）以下ならば、レベルをnとする。

【0033】（2） レベル1から最大レベルまでの各レベルについて以下の処理を繰り返す。

【0034】（3） レベルnの各ブロックについて以下の処理を繰り返す。

【0035】（4） そのブロックの入力側のブロックの到着時間と、そのブロック内の伝播遅延時間との和の中で最大の値を、そのブロックの到着時間とする。

【0036】ただし、入力側のブロックの到着時間は、その始点となるフリップフロップグループごとに求められているものとし、現在処理中のブロックについても、入力側のブロックの始点のフリップフロップグループ集合の和集合に含まれる各グループごとに最大の値を求めるものとする。

【0037】最小伝播遅延時間を求める場合にも、上記の最大伝播遅延時間を求める場合とほぼ同様の方法で求めることができる。

【0038】次に、必要時間計算手段16は、まず回路の出力端子について遅延制約ファイル12に指定された信号の必要時間を設定し、回路中のフリップフロップの入力ピンについて必要時間として、最大伝播遅延時間を計算する場合にはクロックサイクル値とそのフリップフロップのセットアップ時間との差を、最小伝播遅延時間

11

を計算する場合にはそのフリップフロップのホールド時間を設定する。

【0039】続いて、必要時間計算手段16は、出力端子、フリップフロップおよびクロック分配系中のブロック以外のブロックについて必要時間群を求める。この処理は、到着時間計算手段15により到着時間を求めたのと同様の方法で求める。ただし、伝播の方向は、到着時間計算手段15におけるのとは逆に出力側から入力側に伝播する。

【0040】次に、遅延余裕度計算手段17は、到着時間計算手段15により求められた各ブロックの到着時間群および必要時間計算手段16により求められた各ブロックの必要時間群の組合せについて必要時間と到着時間との差を求め、最大伝播遅延時間に基づく遅延余裕度を計算する場合には、その差からクロックスキュー計算手段14により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを引いた値の中で最小の値を求め、最小伝播遅延時間に基づく遅延余裕度を計算する場合には、必要時間と到着時間との差にクロックスキュー計算手段14により求められた始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを加えた値の中で最大の値を求める。

【0041】最後に、遅延情報出力手段18は、クロックスキュー計算手段14ないし遅延余裕度計算手段17により求められたクロックスキュー、到達時間、必要時間、遅延余裕度等を遅延情報として遅延情報ファイル19に出力する。

【0042】

【発明の効果】以上説明したように本発明は、到着時間を始点のフリップフロップグループについての最大伝播遅延時間として求め、必要時間を終点のフリップフロップ

12

グループについての最大伝播遅延時間として求め、両者の差から始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを引いた値の中で最小の値を遅延余裕度として求めるようにしたことにより、一相同期式論理回路において最大伝播遅延時間に基づいてクロックスキューを考慮した正確な遅延余裕度を計算できるという効果がある。

【0043】また、本発明は、到着時間を始点のフリップフロップグループについての最小伝播遅延時間として求め、必要時間を終点のフリップフロップグループについての最小伝播遅延時間として求め、両者の差に始点のフリップフロップグループと終点のフリップフロップグループとの間のクロックスキューを加えた値の中で最大の値を遅延余裕度として求めるようにしたことにより、一相同期式論理回路において最小伝播遅延時間に基づいてクロックスキューを考慮した正確な遅延余裕度を計算できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例に係る論理回路の遅延計算方式の構成を示すブロック図である。

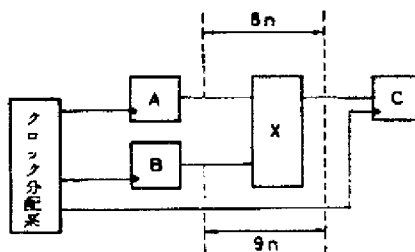
【図2】同期式論理回路の一例を示す図である。

【図3】クロック分配系の一例を示す図である。

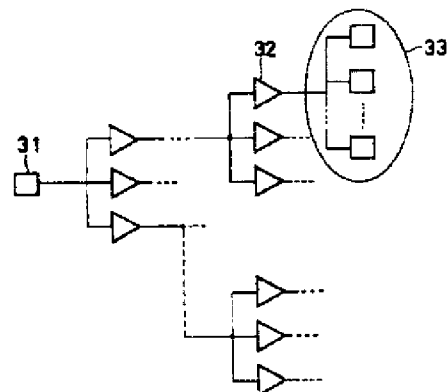
【符号の説明】

- 11 ネットリストファイル
- 12 遅延制約ファイル
- 13 伝播遅延時間ライブラリ
- 14 クロックスキュー計算手段
- 15 到着時間計算手段
- 16 必要時間計算手段
- 17 遅延余裕度計算手段
- 18 遅延情報出力手段
- 19 遅延情報ファイル

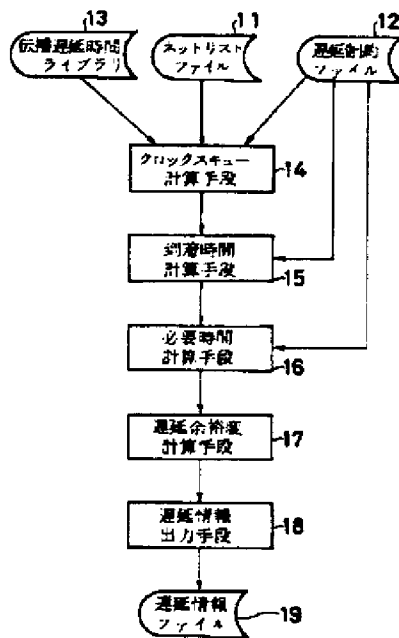
【図2】



【図3】



【図1】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-274567

(43)Date of publication of application : 30.09.1992

(51)Int.Cl.

G06F 15/60

H03K 19/00

(21)Application number : 03-058167

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.1991

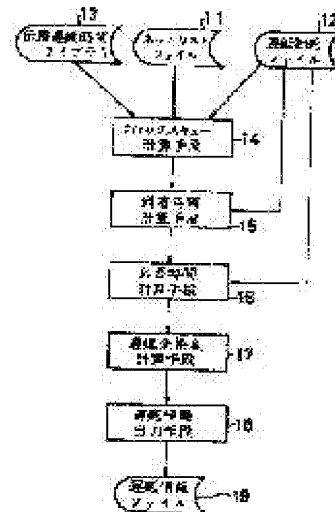
(72)Inventor : ICHIYANAGI HIROSHI

(54) SYSTEM FOR CALCULATING DELAY OF LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To accurately calculate a delay margin by means of a single-phase synchronous logic circuit by taking a clock skew into account on the basis of the maximum or minimum propagation delay time.

CONSTITUTION: A clock skew calculating means 14 calculates a clock skew between flip flop groups and an arrival time calculating means 15 finds the maximum or minimum propagation delay time of the flip flop group at a starting point along a path having the longest or shortest propagation delay time as the arrival time group of a block. A required time calculating means 16 calculates the maximum or minimum propagation delay time of the flip flop group at the ending point along a path having the longest or shortest propagation delay time as the required time group of the block and a delay margin calculating means 17 finds the minimum or maximum value among the values obtained by subtracting or adding the clock skew from or to the difference between the arrival time and required time as the delay margin of the block. Then a delay information outputting means 18 outputs delay information.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]